

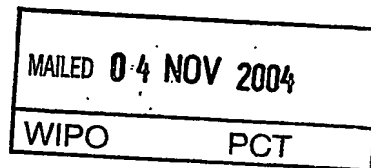


Europäisches  
Patentamt

European  
Patent Office

Office européen  
des brevets

1804/52021



Bescheinigung

Certificate

Attestation

Die angehefteten Unterlagen stimmen mit der ursprünglich eingereichten Fassung der auf dem nächsten Blatt bezeichneten europäischen Patentanmeldung überein.

The attached documents are exact copies of the European patent application described on the following page, as originally filed.

Les documents fixés à cette attestation sont conformes à la version initialement déposée de la demande de brevet européen spécifiée à la page suivante.

Patentanmeldung Nr. Patent application No. Demande de brevet n°

03103857.3



Der Präsident des Europäischen Patentamts;  
Im Auftrag

For the President of the European Patent Office

Le Président de l'Office européen des brevets  
p.o.

R C van Dijk



Anmeldung Nr:  
Application no.: 03103857.3  
Demande no:

Anmeldetag:  
Date of filing: 17.10.03  
Date de dépôt:

Anmelder/Applicant(s)/Demandeur(s):

Koninklijke Philips Electronics N.V.  
Groenewoudseweg 1  
5621 BA Eindhoven  
PAYS-BAS

Bezeichnung der Erfindung/Title of the invention/Titre de l'invention:  
(Falls die Bezeichnung der Erfindung nicht angegeben ist, siehe Beschreibung.  
If no title is shown please refer to the description.  
Si aucun titre n'est indiqué se référer à la description.)

Halbleiterinrichtung und verfahren zur herstellung einer dergleichen  
halbleiterinrichtung

In Anspruch genommene Priorität(en) / Priority(ies) claimed /Priorité(s)  
revendiquée(s)  
Staat/Tag/Aktenzeichen/State/Date/File no./Pays/Date/Numéro de dépôt:

Internationale Patentklassifikation/International Patent Classification/  
Classification internationale des brevets:

H01L29/06

Am Anmeldetag benannte Vertragsstaaten/Contracting states designated at date of  
filing/Etats contractants désignées lors du dépôt:

AT BE BG CH CY CZ DE DK EE ES FI FR GB GR HU IE IT LU MC NL  
PT RO SE SI SK TR LI

**Halfgeleiderinrichting en werkwijze ter vervaardiging van een dergelijke halfgeleiderinrichting**

De uitvinding heeft betrekking op een halfgeleiderinrichting met een substraat en een halfgeleiderlichaam van silicium dat een veldeffect transistor bevat met een aan het oppervlak van het halfgeleiderlichaam grenzend aanvoergebied verbonden met een lager gedoteerde en dunnere aanvoergebiedsextensie en een aan het oppervlak van het

5 halfgeleiderlichaam grenzend afvoergebied verbonden met een lager gedoteerde en dunnere afvoergebiedsextensie, welke gebieden en extensies van een eerste geleidingstype zijn en met een daartussen gelegen kanaalgebied van een tweede, aan het eerste tegengestelde, geleidingstype en met een door een diëlectrische gebied van het kanaalgebied gescheiden poortelektrode, waarbij het aanvoergebied en het afvoergebied voorzien zijn van een

10 aansluitgebied dat een metaal silicide bevat. Een dergelijke inrichting bevindt zich in het bijzonder – in grote aantallen - in zogenaamde (C)MOS (= (Complimentary) Metal Oxyde Semiconductor Field Effect Transistor) ICs (= Integrated Circuits). De uitvinding heeft tevens betrekking op een werkwijze ter vervaardiging van een dergelijke inrichting.

15 Een inrichting van de in de aanhef genoemde soort is bekend uit het Amerikaanse octrooischrift US 5,554,549 dat op 10 september 1996 gepubliceerd is. Daarin wordt betoogd dat een aansluitgebied van een aanvoergebied dat een metaal silicide bevat een kortsluiting kan veroorzaken tussen het aansluitgebied en het substraat op de plaats waar

20 het metaal silicide zich bevindt boven een overbodige extra extensie van het aanvoergebied en van het afvoergebied die zich aan een van de poortelektrode afgewende zijde van het aanvoergebied en het afvoergebied bevindt. De aanwezigheid van deze extra extensie hangt samen met een bepaalde werkwijze ter vervaardiging van de betreffende MOS FET (= Field Effect Transistor) die aan ook een aan de poortelektrode grenzende aanvoergebiedsextensie

25 en een soortgelijke afvoergebiedsextensie bevat. Voorgesteld wordt om ter vermijding van een dergelijke kortsluiting de vervaardiging zodanig aan te passen dat genoemde overbodige extra extensie(s) niet meer gevormd worden.

Een bezwaar van de bekende inrichting is dat deze toch nog een hoge lekstroom of zelfs kortsluiting tussen het aansluitgebied en het substraat kan vertonen. Het

probleem doet zich met name voor indien de afmetingen van de inrichting bijzonder klein zijn zoals bij een sub 100 nm generatie van (C)MOS ICs.

Een bezwaar van de bekende werkwijze is dat deze relatief veel stappen vergt hetgeen de kostprijs verhoogd en de opbrengst nadelig kan beïnvloeden.

5

Het doel van de onderhavige uitvinding is dan ook een inrichting te verschaffend die het genoemde bezwaar niet of althans nagenoeg niet bezit en waarin de lekstroom bijzonder laag is en kortsluiting vermeden is.

10 Daartoe heeft een werkwijze van de in de aanhef genoemde soort volgens de uitvinding het kenmerk, dat het aanvoergebied en de aanvoergebiedsextensie en het afvoergebied en de afvoergebiedsextensie telkens met elkaar verbonden zijn via een tussengebied van het eerste geleidingstype en met een dikte en doteringsconcentratie die ligt

15 uitvinding berust allereerst op het inzicht dat de nog steeds optredende lekstromen of zelfs kortsluitingen bij de bekende inrichting ontstaan op het punt waar bijvoorbeeld het aanvoergebied, dat veelal volledig bedekt is met het metaal silicide, de aanvoergebiedsextensie overlapt of in elk geval daaraan raakt. Omdat dit gebied bijzonder

20 dun en relatief laag gedoteerd is kan daardoor een relatief hoge lekstroom of zelfs kortsluiting met het substraat optreden. Dit probleem doet zich met name voor indien de afmetingen van de inrichting klein zijn en het metaal silicide gevormd is door reactie van een op het halfgeleiderlichaam gedeponeerd metaal met silicium van het halfgeleiderlichaam. De uitvinding berust verder op het inzicht dat dit probleem opgelost kan worden door het aanvoergebied en de aanvoergebiedsextensie te verbinden met een tussengebied dat een

25 tussenliggende dikte en doteringsconcentratie bezit. Waar het metaal silicide aan het tussengebied grenst of daarmee zelfs een overlap heeft, is de lekstroom en de kans op kortsluiting verlaagd doordat dit gebied een grotere dikte en doteringsconcentratie bezit. Hierdoor wordt enerzijds de lekstroom beperkt en doorslag vermeden terwijl anderzijds de voordelen van de aanvoergebiedsextensie behouden blijven. De uitvinding berust verder op

30 het inzicht dat zo'n tussengebied bijzonder eenvoudig gemaakt kan worden waardoor de vervaardiging van de inrichting eenvoudig blijft.

In een voorkeursuitvoering van een inrichting volgens de uitvinding is het metaal silicide voor een deel verzonken in het halfgeleiderlichaam. Een dergelijk verzonken metaal silicide ontstaat juist bij een vervaardiging waarbij het metaal silicide

gevormd wordt door reactie van een op het halfgeleiderlichaam gedeponeerd metaal en het onderliggende silicium van het halfgeleiderlichaam. Juist dan is de maatregel volgens de uitvinding bijzonder effectief.

5 In een gunstige uitvoeringsvorm bevindt zich aan weerszijde van de poortelektrode op het halfgeleiderlichaam een afstandsstuk van een elektrisch isolerend materiaal en bevinden zich het tussengebied en de daarbij behorende extensie in projectie gezien onder dit afstandsstuk. Met behulp van zo'n afstandstuk kunnen zowel het aanvoergebied (en afvoergebied) als het daarbij behorende tussenstuk gevormd worden - zoals verderop duidelijk zal worden - terwijl het metaal silicide dan geen of althans nagenoeg 10 geen overlap met het tussengebied vertoont en daarmee op veilige afstand van de aanvoergebiedsextensie blijft.

Bij voorkeur is het tussengebied gevormd met behulp van ionenimplantatie. Deze techniek is bijzonder geschikt omdat deze ook met voordeel gebruikt kan worden voor de vervaardiging van het aanvoergebied en de aanvoergebiedsextensie.

15 Bovendien is deze techniek geschikt voor de vorming van een tussengebied onder een afstandstuk omdat de hoek die de implantatie maakt met het oppervlak van het halfgeleiderlichaam ook scheef kan zijn waardoor het tussengebied gemakkelijker door het afstandsstuk heen gevormd kan worden.

Een werkwijze voor de vervaardiging van een halfgeleiderinrichting met een 20 substraat en een halfgeleiderlichaam van silicium dat een veldeffect transistor bevat, waarbij aan het oppervlak van het halfgeleiderlichaam een aanvoergebied verbonden met een lager gedoteerde en dunnere aanvoergebiedsextensie en een afvoergebied verbonden met een lager gedoteerde en dunnere afvoergebiedsextensie gevormd worden, welke gebieden en extensie van een eerste geleidingstype voorzien worden en waartussen een kanaalgebied van een 25 tweede, aan het eerste tegengestelde, geleidingstype gevormd wordt dat voorzien wordt van een diëlectrisch gebied waarop een poortelektrode gevormd wordt en waarbij het aanvoergebied en het afvoergebied voorzien worden van een aansluitgebied dat een metaal silicide bevat, heeft volgens de uitvinding het kenmerk, dat tussen het aanvoergebied en de aanvoergebiedsextensie en tussen het afvoergebied en de afvoergebiedsextensie telkens een 30 tussengebied van het eerste geleidingstype gevormd wordt dat voorzien wordt van een dikke en doteringsconcentratie liggend tussen die van het gebied en de extensie die door tussengebied met elkaar verbonden worden. Hiermee wordt een inrichting volgens de uitvinding verkregen met de daaraan verbonden voordelen.

In een voorkeursuitvoering van een werkwijze volgens de uitvinding wordt het metaal silicide gevormd door op het halfgeleiderlichaam een metaal aan te brengen en dat metaal met silicium van het halfgeleiderlichaam te laten reageren tot het metaal silicide. Bij voorkeur wordt aan weerszijde van de poortelektrode een afstandsstuk gevormd van een elektrisch isolerend materiaal en wordt het tussen gebied gevormd door een ionenimplantatie van een doteringselement voor het eerste geleidingstype, waarbij de ionenimplantatie onder een scherpe hoek met de normaal van het oppervlak van het halfgeleiderlichaam uitgevoerd wordt. Goede resultaten zijn mogelijk met een hoek die tussen 0 graden en 45 gekozen wordt en bij voorkeur 20 en 40 graden.

Een geschikte implantatie energie ligt tussen ongeveer 1 en 10 keV. De implantatie dosis ligt bijvoorbeeld tussen  $5 \times 10^{13}$  at/cm<sup>2</sup> en  $5 \times 10^{14}$  at/cm<sup>2</sup> en bedraagt bij voorkeur 1 tot  $2 \times 10^{14}$  at/cm<sup>2</sup>. uitgevoerd wordt.

In een gunstige variant wordt het tussengebied direct voor of na de vorming van het aanvoergebied en het afvoergebied gevormd en worden het tussengebied en het aanvoergebied, het afvoergebied en het tussengebied in dezelfde stap getemperd. De werkwijze vraagt daardoor relatief weinig aanpassing en/of uitbreiding ten opzichte van bekende werkwijzen.

De uitvinding zal thans nader worden toegelicht aan de hand van enkele uitvoeringsvoorbeelden en de tekening, waarin

Fig. 1 schematisch en in een dwarsdoorsnede loodrecht op de dikterichting een halfgeleiderinrichting volgens de uitvinding toont,

Fig. 2 schematisch en in een dwarsdoorsnede loodrecht op de dikterichting een bekende halfgeleiderinrichting toont, en

Figuren 3 t/m 6 schematisch en in een dwarsdoorsnede loodrecht op de dikterichting een halfgeleiderinrichting tonen in opeenvolgende stadia van de vervaardiging met behulp van een uitvoeringsvorm van een werkwijze volgens de uitvinding.

De figuren zijn niet op schaal getekend en sommige afmetingen, zoals afmetingen in de dikterichting zijn ter wille van de duidelijkheid overdreven weergegeven. Overeenkomstige gebieden of onderdelen zijn in de verschillende figuren zoveel mogelijk van dezelfde arcering of hetzelfde verwijzingscijfer voorzien.

Figuur 1 toont schematisch en in een dwarsdoorsnede loodrecht op de dikterichting een halfgeleiderinrichting volgens de uitvinding. Figuur 2 toont schematisch en in een dwarsdoorsnede loodrecht op de dikterichting een bekende halfgeleiderinrichting. Beide inrichtingen 10 bevatten een halfgeleiderlichaam 1 dat hier een – niet afzonderlijk in de tekening weergegeven – halfgeleidersubstraat van silicium bevat. De inrichting 10 bevat in de praktijk aan de randen – niet in de tekening weergegeven – isolatie gebieden zoals een zogenaamde trench of LOCOS (= Local Oxidation of Silicon) isolatie. Ook bevat het halfgeleiderlichaam 1 in de praktijk vaak zowel n-type als p-type gebieden voor de vorming van zowel NMOS als PMOS transistoren, waar hier slechts een van beide transistoren is weergegeven. Aan het oppervlak van het halfgeleiderlichaam 1 bevindt zich een, hier n-type, aanvoergebied 2 en een afvoergebied 3 met daartussen een, hier p-type, kanaalgebied 4 waarboven zich een diëlectrisch gebied 5 bevindt, hier van siliciumoxynitride. Aan- en afvoergebied 2,3 zijn verbonden met een aan- en afvoergebiedsextensie 2A,3A die zich onder afstandsstukken 7, hier van siliciumdioxide, bevinden en die een poortelektrode 6, hier van polykristallijn silicium, begrenzen. De dikte en doteringsconcentratie van de aan- en afvoergebieden 2,3 liggen respectievelijk tussen 40 en 70 nm en tussen  $10^{21}$  en  $5 \times 10^{21}$  at/cm<sup>3</sup>. Voor de extensies 2A,3A van deze gebieden 2,3 zijn deze waarden respectievelijk 10 tot 30 nm en  $10^{20}$  en  $10^{21}$  at/cm<sup>3</sup>. De poortelektrode is hier tussen 10 en 100 nm breed en tussen 50 en 150 nm dik, terwijl de breedte van de afstandstukken 7 bijvoorbeeld 40 tot 120 nm bedraagt. Aan- en afvoergebieden 2,3 zijn bedekt met een aansluitgebied 2B,3B dat een metaal silicide bevat, hier kobalt disilicide, dat hier 25 tot 35 nm dik is. De poortelektrode 6 is bedekt met een aansluitgebied 6B van hetzelfde materiaal.

In de bekende inrichting 10 (zie figuur 2) kan op een met 20 aangeduid punt een verhoogde lekstroom of zelfs doorslag optreden tussen de aansluitgebieden 2B,3B en het substraat. In de inrichting volgens de uitvinding (zie figuur 1) bevindt zich tussen de aan- en afvoergebieden 2,3 en de daarbij behorende extensies 2A,3A een tussengebied 2C,3C met een tussenliggende dikte en doteringsconcentratie. De dikte bedraagt hier ca. 20 tot 50 nm en de doteringsconcentratie ligt tussen  $10^{18}$  en  $5 \times 10^{18}$  at/cm<sup>3</sup>. Door de aanwezigheid van deze tussengebieden 2C,3C wordt de lekstroom ter plaatse van het kritische gebied 20 bij de bekende inrichting, in een inrichting 10 volgens de uitvinding beperkt, evenals de kans op doorslag. Hierdoor zijn de eigenschappen van de diode tussen het aan- en afvoergebied 2,3 en het substraat sterk verbeterd en daardoor de eigenschappen van de MOSFET van dit voorbeeld.

In dit voorbeeld is het metaal silicide gebied 2B,3B, althans tenminste voor een deel verzonken in het halfgeleiderlichaam 1 omdat het gevormd is door depositie van een metaal op het oppervlak van het halfgeleiderlichaam 1 dat in een warmtebehandeling tot reactie gebracht is met het silicium van het halfgeleiderlichaam. In de tekening is het gebied 2B,3B geheel verzonken weergegeven. In de praktijk kan het bovenvlak van het silicide gebied 2B,3B zelfs onder het oppervlak van het halfgeleiderlichaam 1 liggen. In een dergelijke inrichting 10 is het voordeel van de maatregel volgens de uitvinding relatief groot. Het tussengebied 2C,3C is bij voorkeur, zoals in dit voorbeeld, gevormd met behulp van een ionenimplantatie en bevindt zich nagenoeg volledig onder het afstandsstuk 7. De inrichting 10 volgens de uitvinding van dit voorbeeld wordt als volgt vervaardigd met behulp van een werkwijze volgens de uitvinding.

Figuur tonen 3 t/m 6 schematisch en in een dwarsdoorsnede loodrecht op de dikterichting een halfgeleiderinrichting in opeenvolgende stadia van de vervaardiging met behulp van een uitvoeringsvorm van een werkwijze volgens de uitvinding. De beginstappen (zie figuur 3) zijn ten dele gebruikelijk en hier niet afzonderlijk weergegeven. Het oppervlak van het halfgeleiderlichaam 1 wordt bedekt met een diëlectrische laag 5 die hier siliciumoxynitride bevat en tussen 0.5 en 1.5 nm dik is. Daarop wordt een polykristallijne – eventueel gedoteerde – silicium laag 6 aangebracht, hier met behulp van CVD (= Chemical Vapor Deposition) en hier 50 nm dik. Dan wordt met behulp van fotolithografie en etsen de poortelektrode 6 gedefinieerd. Door het uniform deponeren van diëlectrische laag die vervolgens anisotroop wordt geëtsd, worden de afstandstukken 7 gevormd. Dan worden met behulp van een eerste ionenimplantatie  $I_1$  de aan- en afvoergebieden 2,3 gevormd. De poortelektrode 6 wordt daarbij niet afgeschermd zodat ook het silicium van die poortelektrode gedoteerd wordt.

Vervolgens worden (zie figuur 4) met behulp van een tweede ionenimplantatie  $I_2$  de tussengebieden 2C,3C gevormd. Deze implantatie  $I_2$  wordt uitgevoerd onder een hoek A ten opzichte van de normaal die tussen 0 en 45 graden ligt en hier ongeveer 20 graden bedraagt. Daardoor wordt het tussengebied 2C,3C onder het afstandsstuk 7 gevormd. Dan worden beide implantaties  $I_1$  en  $I_2$  getemperd door een warmtebehandeling met behulp van RTA (= Rapid Thermal Annealing) bij een temperatuur van 900 tot 1100 graad Celsius.

Dan worden (zie figuur 5) de afstandsstukken 7 verwijderd met behulp van etsen waarna met behulp van een derde ionenimplantatie  $I_3$  de aan- en afvoergebiedsextensies 2A,3A gevormd. Deze implantatie  $I_3$  wordt dan getemperd door een warmtebehandeling, zoals een zogenaamde flash of laser RTA (= Rapid Thermal Anneal).



Hierna wordt (zie figuur 6) een metaal laag 8 opgedampt, hier van kobalt. Daarmee wordt in een eerste lage temperatuur warmtebehandeling een reactie product, d.w.z. een metaalrijk metaal silicide gevormd ter plaatse van de aan- en afvoergebieden 2,3 en de poortelektrode 6, waarvan het masker inmiddels is verwijderd. Het overtollige metaal op de genoemde gebieden en de gehele metaal laag 8 ter plaatse van de afstandsstukken 7 wordt dan verwijderd door middel van etsen. In een verdere warmtebehandeling bij hogere temperatuur wordt dan het kobalt rijke silicide omgezet in kobalt disilicide waarbij (zie figuur 1) de aansluitgebieden 2B,3B van de aan- en afvoergebieden 2,3 en van het aansluitgebied 6B van de poortelektrode 6 gevormd worden.

Tot slot wordt de vervaardiging van de transistor T op gebruikelijke wijze voltooid. Dat wil zeggen dat een of meer diëlectrische lagen worden aangebracht en van contact openingen worden voorzien waarna een geleider laag, bijvoorbeeld van aluminium wordt aangebracht en in patroon gebracht waaruit aansluitgeleiders voor de aan- en afvoergebieden 2,3 en de poortelektrode 6 gevormd worden. Deze stappen zijn ter wille van de eenvoud niet in de figuren weergegeven. Individuele inrichtingen 10 worden verkregen door middel van een separatie techniek zoals zagen.

De uitvinding is niet beperkt tot het beschreven uitvoeringsvoorbeeld daar voor de vakman binnen het kader van de uitvinding vele variaties en modificaties mogelijk zijn. Zo kunnen inrichtingen vervaardigd worden met een andere geometrie en/of andere afmetingen. In plaats van een substraat van Si kan ook een substraat van glas, keramiek of een kunststof worden gebruikt. Het halfgeleiderlichaam kan dan gevormd worden door het zogenaamde SOI (= Silicon on Insulator). Daarbij kan al dan niet gebruikt worden gemaakt van een zogenaamde substrate transfer techniek.

Opgemerkt wordt verder dat andere materialen dan de bij de voorbeelden genoemde gebruikt kunnen worden binnen het kader van de uitvinding. Zo kan in plaats van kobalt ook gebruik gemaakt worden van andere metalen zoals nikkel of titanium. In plaats van een poortelektrode die silicium bevat kan ook met voordeel een metaal poortelektrode gebruikt. Ook kunnen andere depositie technieken gebruikt worden voor de genoemde of andere materialen zoals epitaxy, CVD, sputteren en opdampen. In plaats van nat-chemische etsmethoden kunnen ook "droge" technieken gebruikt worden zoals plasma etsen en omgekeerd. Verder wordt opgemerkt dat de inrichting andere actieve en passieve halfgeleiderelementen of elektronische componenten kan bevatten, al dan niet in de vorm van een IC.

## CONCLUSIES:

- 1           Halfgeleiderinrichting (10) met een substraat en een halfgeleiderlichaam (1) van silicium dat een veldeffect transistor bevat met een aan het oppervlak van het halfgeleiderlichaam (1) grenzend aanvoergebied (2) verbonden met een lager gedoteerde en dunnere aanvoergebiedsextensie (2A) en een aan het oppervlak van het halfgeleiderlichaam (1) grenzend afvoergebied (3) verbonden met een lager gedoteerde en dunnere afvoergebiedsextensie (3A), welke gebieden (2,3) en extensies (2A,3A) van een eerste geleidingstype zijn en met een daartussen gelegen kanaalgebied (4) van een tweede, aan het eerste tegengestelde, geleidingstype en met een door een diëlectrische gebied (5) van het kanaalgebied (4) gescheiden poortelektrode (6), waarbij het aanvoergebied (2) en het afvoergebied (3) voorzien zijn van een aansluitgebied (2B,3B) dat een metaal silicide bevat, met het kenmerk, dat het aanvoergebied (2) en de aanvoergebiedsextensie (2A) en het afvoergebied (3) en de afvoergebiedsextensie (3A) telkens met elkaar verbonden zijn via een tussengebied (2C,3C) van het eerste geleidingstype en met een dikte en doteringsconcentratie die ligt tussen die van het gebied (2,3) en de extensie (2A,3A) die het tussengebied (2C,3C) met elkaar verbindt.
2.           Halfgeleiderinrichting (10) volgens conclusie 1, met het kenmerk, dat het aansluitgebied (2B,3B) verzonken is in het halfgeleiderlichaam (1).
3.           Halfgeleiderinrichting (10) volgens conclusie 1 of 2, met het kenmerk, dat zich aan weerszijde van de poortelektrode (6) op het halfgeleiderlichaam (1) een afstandsstuk (7) van een elektrisch isolerend materiaal en het tussengebied (2C,3C) en de daarbij behorende extensie (2A,3A) zich in projectie gezien onder deze afstandsstukken (7) bevinden.
4.           Halfgeleiderinrichting volgens conclusie 1, 2 of 3, met het kenmerk, dat het tussengebied (2C,3C) gevormd is met behulp van ionenimplantatie.
- 5           Werkwijze voor de vervaardiging van een halfgeleiderinrichting (10) met een substraat en een halfgeleiderlichaam (1) van silicium dat een veldeffect transistor bevat,

waarbij aan het oppervlak van het halfgeleiderlichaam (1) een aanvoergebied (2) verbonden met een lager gedoteerde en dunnere aanvoergebiedsextensie (2A) en een afvoergebied (3) verbonden met een lager gedoteerde en dunnere afvoergebiedsextensie (3A) gevormd worden, welke gebieden (2,3) en extensies (2A,3A) van een eerste geleidingstype voorzien worden en waartussen een kanaalgebied (4) van een tweede, aan het eerste tegengestelde, geleidingstype gevormd wordt dat voorzien wordt van een diëlectrisch gebied (5) waarop een poortelektrode (6) gevormd wordt en waarbij het aanvoergebied (2) en het afvoergebied (3) voorzien worden van een aansluitgebied (2B,3B) dat een metaal silicide bevat, met het kenmerk, dat tussen het aanvoergebied (2) en de aanvoergebiedsextensie (2A) en tussen het afvoergebied (3) en de afvoergebiedsextensie (3A) telkens een tussengebied (2C,3C) van het eerste geleidingstype gevormd wordt dat voorzien wordt van een dikke en doteringsconcentratie liggend tussen die van het gebied (2,3) en de extensie (2C,3C) die door het tussengebied (2C,3C) met elkaar verbonden worden.

6. Werkwijze volgens een der conclusies 5, met het kenmerk, dat het metaal silicide gevormd wordt door op het halfgeleiderlichaam (1) een metaal (8) aan te brengen en dat metaal met silicium van het halfgeleiderlichaam (1) te laten reageren tot het metaal silicide van het aansluitgebied (2B,3B).

7. Werkwijze volgens conclusie 5 of 6, met het kenmerk, dat aan weerszijde van de poortelektrode (6) een afstandsstuk (7) gevormd wordt van een elektrisch isolerend materiaal en het tussen gebied (2C,3C) gevormd wordt door een ionenimplantatie ( $I_2$ ) van een doteringselement voor het eerste geleidingstype, waarbij de ionenimplantatie ( $I_2$ ) onder een scherpe hoek (A) met de normaal van het oppervlak van het halfgeleiderlichaam (1) uitgevoerd wordt.

8. Werkwijze volgens conclusie 7, met het kenmerk, dat voor de hoek (40) waaronder de ionenimplantatie ( $I_2$ ) wordt uitgevoerd een hoek (A) tussen 0 graden en 45 gekozen wordt en bij voorkeur een hoek (A) tussen 20 en 40 graden.

9. Werkwijze volgens conclusie 7 of 8, met het kenmerk, dat de ionenimplantatie ( $I_2$ ) uitgevoerd wordt bij een energie tussen 0,5 en 10 keV en met een flux tussen  $5 \times 10^{13}$  at/cm<sup>2</sup> en  $5 \times 10^{14}$  at/cm<sup>2</sup> uitgevoerd wordt.

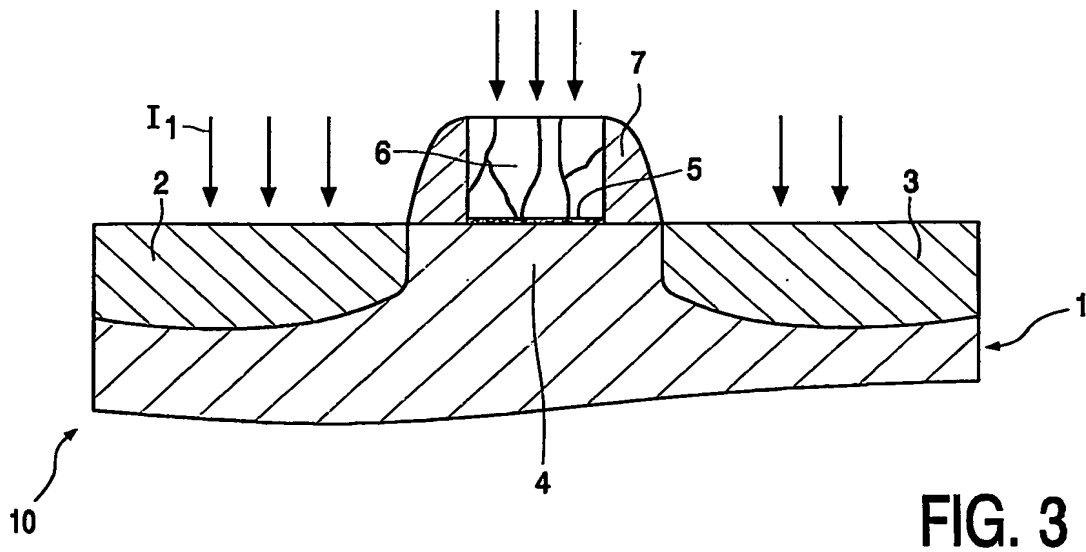
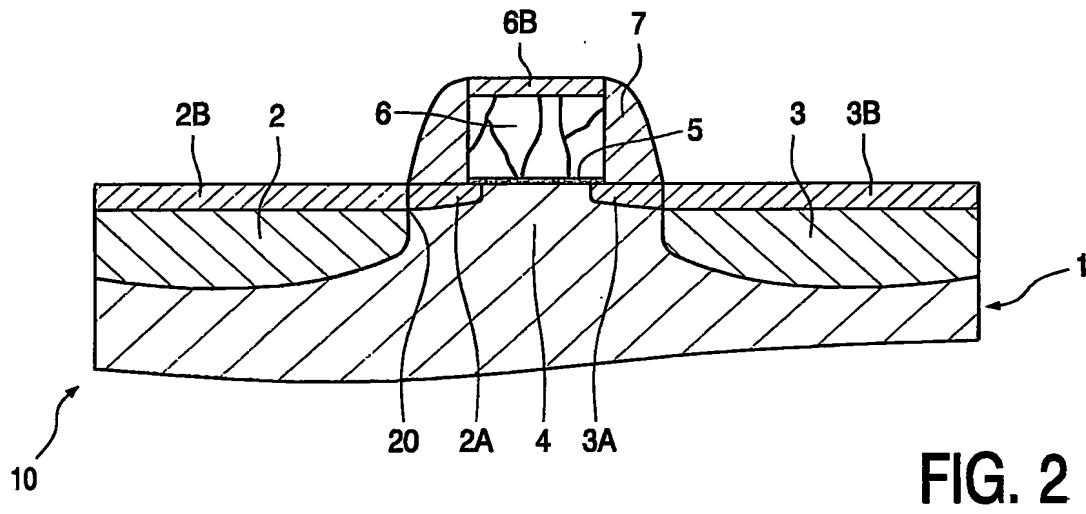
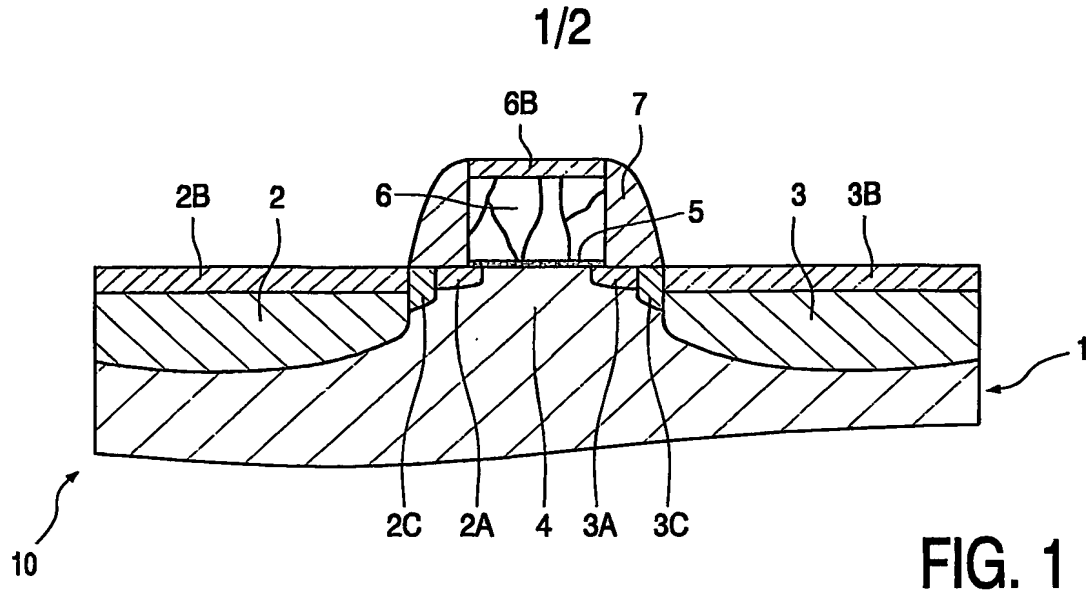
10.           Werkwijze volgens conclusie 7, 8 of 9, met het kenmerk, dat ook het aanvoergebied (2) en het afvoergebied (3) met behulp van een ionenimplantatie ( $I_1$ ) gevormd wordt en het tussengebied (2C,3C) direct voor of na de vorming van het aanvoergebied (2) en het afvoergebied (3) gevormd wordt en al deze gebieden (2,2C,3,3C) in dezelfde
- 5   warmtebehandeling getemperd worden.

**ABSTRACT:**

The invention relates to a semiconductor device (10) with a substrate and a semiconductor body (1) comprising a first FET (3) with a source (2) and drain (3) that are provided with connection regions (2B,3B) of a metal silicide and that are connected to source and drain extensions (2A,3A) bordering a channel region (4) below a gate (6) and having a smaller thickness and lower doping concentration than the source (2) and drain (3).

According to the source (2) and drain (3) and the source and drain extensions (2A,3A) are connected to each other by means of an intermediate region (2C,3C) of the first conductivity type and having a thickness and doping concentration lying between the thickness and doping concentration of the source (2) and drain (3) and the extensions (2A,3A) thereof. In this way, the occurrence of leakage currents and the risk of a short-circuit between the connection regions (2B,3B) and the substrate is limited, while the advantages of the use of source and drain extensions (2A,3A) remain present. Preferably the intermediate regions (2C,3C) are positioned below spacers (7) next to the gate (6) and they are preferably formed with a – preferably tilted – ion implantation.

Fig. 1



2/2

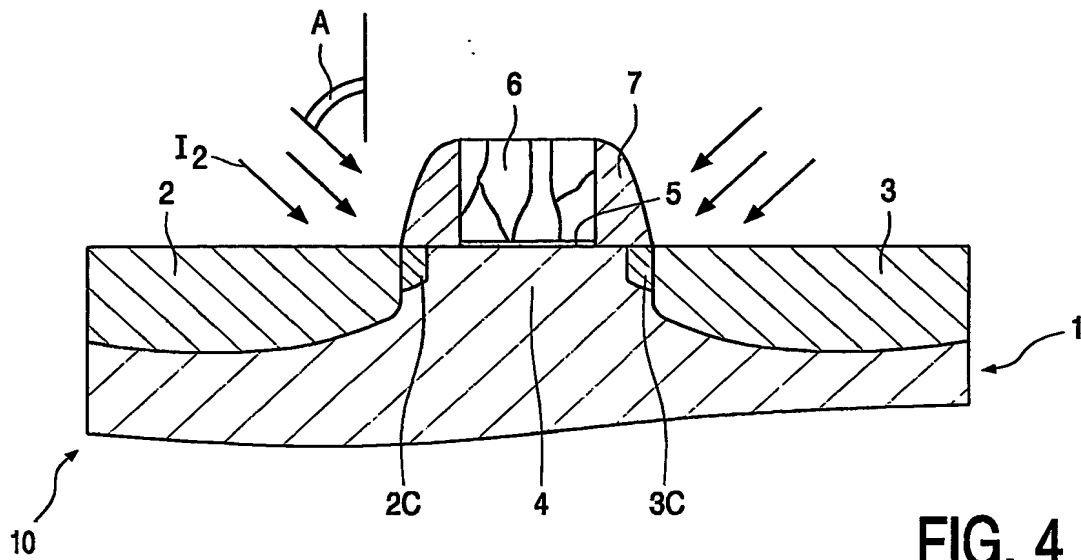


FIG. 4

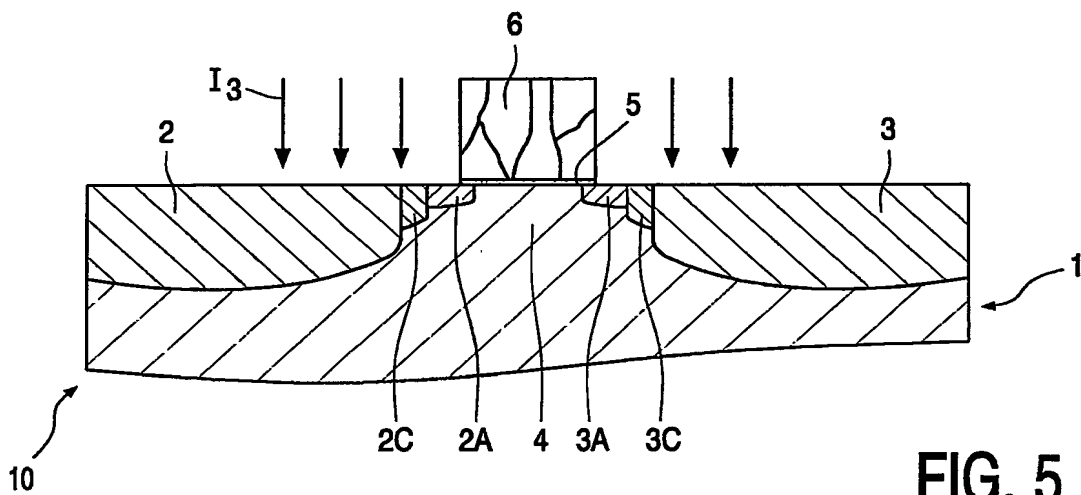


FIG. 5

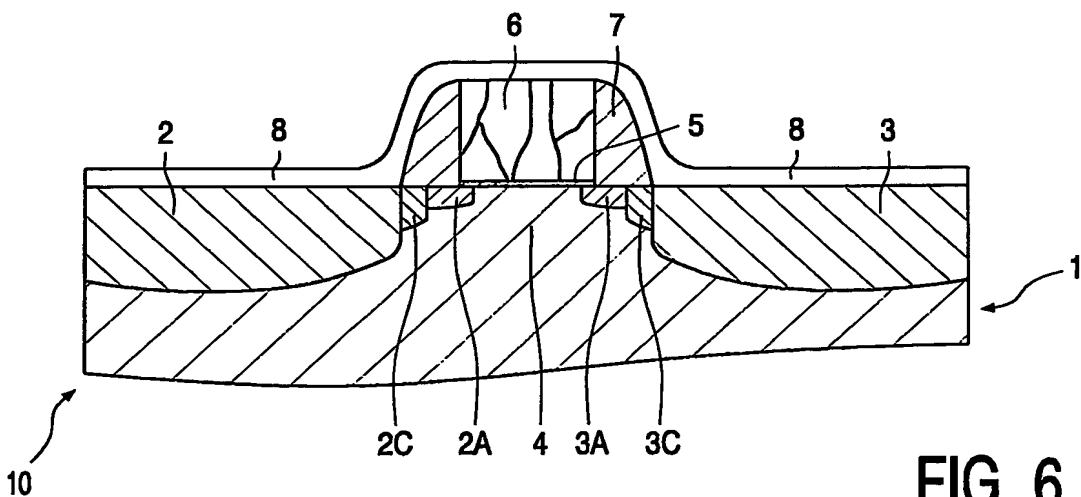


FIG. 6

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☒ FADED TEXT OR DRAWING

☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☒ LINES OR MARKS ON ORIGINAL DOCUMENT

☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☒ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**